

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE

Patent Number: JP60235430
Publication date: 1985-11-22
Inventor(s): ISHII MAKOTO; others: 02
Applicant(s):: HITACHI SEISAKUSHO KK
Requested Patent: ☐ JP60235430
Application Number: JP19840090914 19840509
Priority Number(s):
IPC Classification: H01L21/58
EC Classification:
Equivalents:

Abstract

PURPOSE: To suppress the generation of thermal strain in a joint of a semiconductor device during the repetition of operations thereof and prevent the lowering of quality of the device and any damage thereto, by employing a support member constituted by a laminated composite metal plate which is formed by directly bonding together two or more kinds of metal layer, the metal plate having a thermal expansion coefficient close to that of the semiconductor substrate.

CONSTITUTION: A silicon semiconductor substrate 1, a support member 2 constituted by a composite metal plate, an alumina substrate 3 and a heat sink 4 constituted by a copper plate are bonded together by lead-tin solder layers 5, 6 and 7 as illustrated. The composite metal plate 2 is formed by disposing copper plates on both sides of an iron-36% nickel alloy layer and directly bonding them together in one unit by a cold rolling process, the metal plate 2 having a thermal expansion coefficient of about $8 \times 10^{-6} / \text{deg.C}$ which is about a half of the thermal expansion coefficient of copper and which is close to that of the silicon semiconductor substrate 1. Accordingly, it is possible to suppress the generation of any excessive thermal strain during the operation of the transistor and thereby to avoid thermal fatigue of the solder layers.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-235430

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)11月22日

H 01 L 21/58

6732-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-90914

⑰ 出 願 昭59(1984)5月9日

⑱ 発 明 者 石 井 誠 栃木県下都賀郡大平町大字富田800 株式会社日立製作所
栃木工場内
⑱ 発 明 者 堀 橋 英 夫 栃木県下都賀郡大平町大字富田800 株式会社日立製作所
栃木工場内
⑱ 発 明 者 飯 塚 健 一 栃木県下都賀郡大平町大字富田800 株式会社日立製作所
栃木工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 半導体基体と、上記半導体基体を搭載する金属支持部材と、半導体基体と支持部材とを接合する金属ろう剤より成り、上記支持部材に金属の2以上の金属層が互いに直接接合された積層構造を有する複合金属板を使用した半導体装置。
2. 特許請求の範囲第1項記載において、上記複合金属板の熱膨張係数が上記半導体基体の熱膨張係数に近接するように調整された半導体装置。

発明の詳細な説明

(発明の利用分野)

本発明はパワー・トランジスタに係り、特に半導体基体がそれを支持するための支持部材上に導電的に又は絶縁して設置された構造の半導体装置に関する。

(発明の背景)

従来の半導体装置を図1図によって説明する。

1はシリコン等で形成された半導体基体、2は

銅板等で形成された支持部材、3はアルミナ等で形成された絶縁基板、4は銅板等で形成されたヒートシンクである。上記の各部材間は、鉛-錫系のはんだ5、6、7によってそれぞれの面に対向して接合されており、多層構造を形成している。一般的にパワー・トランジスタと称する10A〜20A級の半導体基体を内蔵する半導体装置は上記の構成を有する。

上記半導体装置を安全かつ安定に動作させるためには、半導体装置の動作時に生ずる熱をパッケージの外部に有効に発散させる必要がある。また、繰返し動作によって生ずる温度差に対して、耐える構造が必要である。さらに詳説すると、半導体装置は、通電、休止の繰返しに伴って、上記半導体基体は高温状態(約100〜150℃)と、低温状態(周囲温度)とが繰返し訪れることになる。このような高温-低温の繰返しに伴い、該半導体装置における各部材は、それらに固有の熱膨張係数に基づく膨張、収縮を繰返すことになり、最も軟かい部材であるはんだ層に熱歪として加わる

ことになる。繰返し数（ヒートサイクル）が多くなると、はんだ層は引張り歪、圧縮歪の周期的かつ度重なる印加によって、次第にもろくなり、ついには熱疲労現象を生ずるに至り、例えばはんだ層にクラックが生じ、接着力の低下、熱伝導性の低下等を引起し、半導体装置の品質低下を来だし、著しいものは破壊にまでおよぶ。

〔発明の目的〕

本発明の目的は、上述した問題点を解決し、動作の繰返し時に接合部に生じる熱歪を低減し、品質低下あるいは破壊の恐れがない改善された半導体装置を提供することにある。

〔発明の概要〕

本発明は上記目的を達成するため、第1図の層構造を有する半導体装置において、支持部材2に異種の2以上の金属層が互いに直接接合された積層構造を有する複合金基板を使用し、かつ上記複合金基板の熱膨張係数が半導体基体の熱膨張係数に近接するように調整されていることを特徴とする。

第2図は本実施例の半導体装置に断続的に過電して、半導体基体1が90℃の温度変化が生ずるようにしながら、半導体基体からヒートシンク4に至る放熱経路の熱抵抗を追跡した結果（A）である。同図には支持部材に銅板を用いた従来構造の結果（B）を比較して示す。

同図より次が明瞭である。すなわち耐ヒートサイクル性は銅板を用いた構造に比べ格段に向上している。また熱抵抗は約10%高くなっているが、本発明の実施例には殆んど影響の無い範囲内である。

なお上述した複合金基板の熱膨張係数は素材として用いる金属層の種類や、各金属層の厚さを変化させることによって調整可能である。

これらについては使用する半導体装置の特性面および使用環境等から熱伝導性、熱膨張係数を調整し選択する必要がある。またはんだに対するめくれ性を付与するためニッケルメッキ等の金属膜をめっき法等により形成しておくのが好ましい。

〔発明の効果〕

〔発明の実施例〕

以下本発明を実施例により説明する。

第1図に本発明の400V、15A級トランジスタの要部断面図を示す。1はシリコン半導体基体で、2は複合金基板で形成された支持部材、3はアルミナ基板、4は銅板で形成されたヒートシンクである。上記各部分は図は鉛一軸系のはんだ5、6、7によって、それぞれの面に対向して接合されている。また上記複合金基板は鉄-36%ニッケルの両面に銅板を配し、冷間圧延法により固溶一体化されたもので熱膨張係数は約 $8 \times 10^{-6}/^{\circ}\text{C}$ であり、銅の熱膨張係数 $18 \times 10^{-6}/^{\circ}\text{C}$ の約1/2になり、またシリコン半導体基体の熱膨張係数 $3.5 \times 10^{-6}/^{\circ}\text{C}$ に近い値になっている。

以上説明した本実施例半導体によれば、支持部材の熱膨張係数が従来の銅板に比べ小さくなっていることおよびシリコン半導体基体との差が縮小されたことによって、トランジスタの運転時に過大な熱歪が発生するのを抑制することができ、その結果はんだ層の熱疲労を避けることができる。

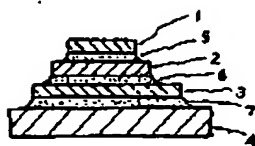
以上説明したように、本発明によれば熱歪に基づく金属ろう接合部の熱疲労劣下が減少され、品質の低下および破壊の恐れがない改善された半導体装置を提供するのに効果がある。

図面の簡単な説明

第1図は本発明にかかわる半導体装置の要部断面図、第2図は半導体装置のヒートサイクル試験と熱抵抗変化を要した図である。

1…シリコン半導体基体、2…支持部材、3…アルミナ基板、4…ヒートシンク、5、6、7…はんだ。

第 1 圖



第 2 圖

